

SISTEMAS ELECTRÓNICOS DIGITALES

PRÁCTICA 5

MEMORIAS RAM Y DISPLAY DE 4 DÍGITOS DE 7 SEGMENTOS

1. Objetivos

- Estudio del funcionamiento de las memorias RAM.
- Estudio del funcionamiento del display de 4 dígitos de 7 segmentos de la placa de periféricos.

2. Enunciado

Escribir en una memoria RAM de 16 posiciones de 4 bits una determinada tabla de valores. Utilizar la memoria RAM16x4S disponible en la biblioteca de símbolos del software ISE 6.3. Direccionar todas las posiciones de la memoria y leer su contenido visualizando su valor en decimal en el display DSP1 de la placa de periféricos. Para ello se necesitan 2 dígitos y se debe diseñar el correspondiente decodificador que permita representar un valor de 4 bits (salida de la memoria) en los 2 últimos dígitos del display DSP1 (dígitos que están más a la derecha).

En el diseño se deben especificar que pines de la FPGA tienen que corresponder a las señales de entrada y salida del diseño para utilizar los siguientes elementos de la placa de periféricos:

- Señal de reloj:
CLK: se utilizará como señal de reloj el oscilador de 50 MHz que contiene la placa de desarrollo y que está conectado a la entrada GLK2 de la Spartan 2E (pin 182).
- Señales de entrada
A(3:0): 4 bits de direccionamiento de la memoria. Se generarán utilizando los interruptores 8, 7, 6 y 5 (SW8, SW7, SW6, SW5) de la placa de periféricos. SW8 se corresponderá al bit de mayor peso (A3) y SW5 al de menor peso (A0).
D(3:0): 4 bits de datos. Se generarán utilizando los interruptores 4, 3, 2 y 1 (SW4, SW3, SW2, SW1) de la placa de periféricos. SW4 se corresponderá al bit de mayor peso (D3) y SW1 al de menor peso (D0).
WE: señal de escritura. Se generará utilizando el botón 1 (BTN1) de la placa de periféricos.
- Señales de salida:
a, b, c, d, e, f, g, AN1, AN2, AN3, AN4: señales de control del display de la placa de periféricos. Se deben generar a partir de Q3, Q2, Q1 y Q0 (4 bits de salida de la memoria que codifican el valor almacenado en la posición direccionada por A(3:0)) y asignarles los pines correspondientes de los conectores de expansión de la placa de periféricos.

3. Tareas del alumno previas a la asistencia al laboratorio

El alumno deberá de realizar las siguientes tareas antes de asistir al laboratorio:

- Lectura de la documentación sobre el software ISE 6.3
- Lectura de la documentación de la placa de desarrollo Digilent D2-SB
- Lectura de la documentación de la placa de periféricos DIO4
- Lectura de la práctica
- Estudio de la relación entre pines de la FPGA y pines de los conectores de expansión de la placa de desarrollo.
- Estudio de la relación entre los elementos de la placa de periféricos y los pines de los conectores de expansión de dicha placa.

- Estudio de la relación entre pines de los conectores de expansión de la placa de desarrollo y la placa de periféricos.
- Realizar el cableado de las señales de entrada y salida de la RAM16X4S.
- Diseñar una secuencia adecuada para las señales de entrada que permita escribir una cierta tabla de valores en todas las posiciones de la memoria y posteriormente proceder a su lectura para comprobar la correcta escritura de la memoria.
- Diseñar un circuito decodificador de un número decimal codificado con 4 bits a las señales necesarias para iluminar los dos últimos dígitos (dígitos que están más a la derecha) del display de la placa de periféricos. Este circuito se utilizará para representar el valor almacenado en la posición de memoria que se está direccionando en un determinado momento en los dos últimos dígitos del display de la placa de periféricos. Para que los dos dígitos se iluminen continuamente y a la vez, hay que activarlos con una frecuencia de barrido de 60 hz a 1 Khz (ver documentación de la placa de periféricos).
- Asignar los pines adecuados de la FPGA a las señales de entrada y salida del diseño para utilizar los elementos correspondientes de la placa de periféricos según las especificaciones del enunciado.

4. Tareas a realizar en el laboratorio

El alumno deberá introducir en el software ISE 6.3 el esquemático con la memoria RAM16X4S y simular su correcto funcionamiento introduciendo la secuencia de señales adecuada para comprobar como trabaja esta memoria en modo escritura y lectura. Una vez simulado el funcionamiento de la memoria, se realizará físicamente programando la FPGA Spartan 2E de la placa de desarrollo. Se realizará la asignación de pines a las señales de entrada y salida adecuada para cumplir con las especificaciones de la práctica y para utilizar los elementos de la placa de periféricos propuestos. En su realización física utilizando una FPGA, la salida de la memoria se tiene que visualizar en el display de la placa de periféricos por lo que es necesario diseñar y añadir al esquemático anterior un bloque decodificador que genere las señales adecuadas para representar en 2 dígitos de este display el valor decimal de la salida de la memoria. Este bloque decodificador no es necesario en la etapa de simulación.

Los pasos a seguir por el alumno en el laboratorio serán los siguientes:

- Crear un proyecto con el esquemático de la memoria RAM16x4S y las conexiones oportunas de las señales de entrada y salida.
- Introducir las formas de onda adecuadas para las señales de entrada (Test Bench Waveform) para comprobar los modos de funcionamiento de la memoria.
- Simular el comportamiento de la memoria.
- Diseñar un bloque decodificador para poder representar la salida de la memoria en el display de la placa de periféricos. Para poder representar un número de 2 dígitos en el display de la placa de periféricos es necesario una señal de reloj entre 60 Hz y 1 KHz para ir alternando la activación de cada uno de los dígitos. Esta señal se debe obtener a partir del reloj principal del sistema que será el oscilador presente en la placa de desarrollo de la FPGA y que tiene una frecuencia de 50 MHz.
- Introducir las formas de onda adecuadas para las señales de entrada del decodificador para comprobar su correcto funcionamiento.
- Simular el funcionamiento del bloque decodificador.
- Adaptar el esquemático realizado anteriormente incluyendo el bloque decodificador diseñado.
- Obtener la señal de reloj del decodificador a partir del reloj principal del sistema. Para ello se debe diseñar un divisor que divida por más de 50.000 la señal del reloj principal (utilizar un contador de 16 bits).
- Establecer los pines de la FPGA a utilizar por las entradas y salidas del diseño.
- Programar la FPGA.
- Comprobar el correcto funcionamiento de la memoria y del bloque decodificador utilizando los elementos de la placa de periféricos descritos en el enunciado.